

字线脉冲控制解决异步双端口 SRAM 中的写干扰

杨琼华, 蒋 江

(上海交通大学 微电子学院, 上海 200240)

摘 要: 为了避免双端口 SRAM 中由写干扰造成的数据写入困难, 利用写干扰的时钟偏移相关性提出了一种新的字线脉冲控制技术, 确定了写干扰下成功写入数据所需的最小写字线脉宽, 并设计了时钟沿检测电路来解决写操作造成的写干扰. 采用 TSN28HPM 工艺, 抽取 RC 寄生参数后进行了后端仿真, 结果表明所提方案可行有效.

关键词: 双端口 SRAM; 写干扰; 字线脉冲控制; 阈值电压波动

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2015)03-0090-04

Word-Line Pulse Control to Circumvent Write-Disturb in Asynchronous Dual-Port SRAM

YANG Qiong-hua, JIANG Jiang

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: To circumvent the problem caused by write-disturb in write process of asynchronous Dual-Port SRAM, a new word-line pulse control technique is proposed. A minimum word-line pulse of write port is determined to do the write operation successfully; A clock edge detection circuit is designed to handle the write-disturb caused by write operation of the other port. Using N28HPM technology of TSMC, backend simulation is performed after RC extraction; Results show the proposed method is feasible and effective.

Key words: Dual-Port SRAM; write-disturb; word-line pulse control; V_{th} variation

1 引言

由于功耗限制, 片上系统不能无限制地通过提高系统频率来提升性能, 而是利用并行计算来获得更高的系统运算能力, 因而多核乃至众核处理器得到了快速的发展和广泛的应用. 双端口 SRAM 允许两个端口同时进行读或写操作, 非常适合于多核系统中的高速通信和流媒体中的图像处理^[1, 2]. 但是, 由于双端口 SRAM 本身结构的限制, 在对其存储单元进行存取时会出现读写干扰的问题^[3], 在工艺尺寸不断缩小而带来越来越大的工艺参数波动的情况下, 这个问题显得尤其突出, 其中又以写干扰更为严重. Y. Ishii 等人^[4]和 N.-C. Lien 等人^[5]分别先后提出了 BLE 技术和字线脉宽控制方法来解决写干扰问题. 但是, 前者会带来较大的动态功耗, 而

后者的控制电路过于复杂且可能使写入时间加倍. 本文研究了 28 nm 工艺下不同设计角时双端口 SRAM 存储单元的性质, 分析了最差情况下写干扰的时钟偏移相关性, 并基于此提出一种简单的字线脉冲控制方法来解决写干扰问题.

2 写干扰及其时钟偏移相关性

2.1 阈值电压波动下的写干扰

在双端口 SRAM 中, 当两个端口对同一行进行存取时会发生读写干扰, 其中进行写操作的端口将经受写干扰. 如图 1 所示, A 端口正在对该单元进行写操作, B 端口正在对该单元所在行的另一单元进行读或写操作, 由于同一行的单元共享一条字线, 所以图中的 B 端口字线(WLB)有效, 导致 B 端口对该单元产生了伪读取操作(Dummy Read). 于是,

当A端口试图通过BLA将D点写成“0”时,它不仅需要对D点放电,而且还需要通过N3泄放位线BLB上大量电荷。如果在A端口字线(WLA)无效时D点电压仍未达到右端反相器的翻转阈值以下,那么将导致写失败。

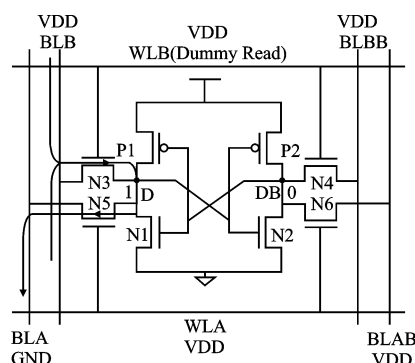


图1 双端口SRAM中的写干扰原理

值得注意的是,正常情况下如果合理设计各晶体管的尺寸,写失败并不会发生,然而SRAM的设计一般要求工艺偏差在 6σ 时电路依然能够正常工作,而在 6σ 处各个晶体管的特性将发生较大的偏离,将直接影响数据的写入过程。例如,表1所示为由Variation Designer得到的SS工艺角下各晶体管在 6σ 偏差处阈值电压对正常情况的偏离值($\Delta|V_{th}|$ 由 $I_{ds}-V_{gs}$ 曲线的偏移定义)。从表中数据可以看出,N3的阈值电压减小使其变强,从而增大了BLB对D点的干扰强度,同时N5的变弱降低了A端口的写入能力;而P2的 $|V_{th}|$ 大幅提高使其变弱,导致DB点的电压偏低,不足以开启N1而形成正反馈,单元将长时间处于中间状态甚至回复到初始状态。

表1 SS工艺角下各晶体管在 6σ 处的阈值电压波动

晶体管	$\Delta V_{th} /\text{mV}$
P1	-1.5
P2	135.4
N1	49.3
N2	30.3
N3	-22.0
N4	23.1
N5	134.8
N6	42.4

2.2 写干扰的时钟偏移相关性

写干扰是由两条字线的同时有效造成的,而当两个端口的时钟异步时,干扰强度将取决于两条字线有效的重叠程度,即两条字线的到达时间;由于两

个端口的字线各同步于自己的时钟,所以这种重叠程度可以归结为两个端口的时钟偏移;在此定义时钟偏移为写端口时钟的到达时间减去另一端口的到达时间。现考虑A端口的写干扰,经仿真得到单元翻转时间 t_f 与时钟偏移 t_s 的关系如图2所示。从图中可知,写干扰最严重时单元需要约4 ns才能翻转,这严重限制了SRAM的工作频率。另外,写干扰并不是在两条字线完全重叠时发生的,而是发生在时钟偏移约为130 ps时。后者可以这样解释:当时钟偏移为负时,B端口的字线先于A端口的无效,那么在B端口字线无效后A端口的字线依然能迅速让单元翻转;当时钟偏移为正且较大时,A端口的字线先于B端口有效,如果A端口能在B端口字线脉冲到达之前将单元翻转,将可以避免写干扰,记此时的时钟偏移为 t_{sc} 。当时钟偏移在以上二者之间时,写干扰会带来大的翻转时间。

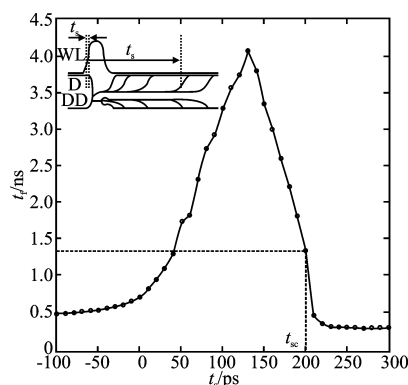


图2 写干扰的时钟偏移相关性

3 字线脉冲控制解决写干扰

写干扰是由另一端对同一行的读或写操作引起的,下面分读操作引起的写干扰和写操作引起的写干扰两种情况进行讨论。

3.1 读操作引起的写干扰

根据写干扰主要存在于正时钟偏移的事实,如图3所示,写字线脉冲展宽 t_{sc} 将能够有效地抑制写干扰:如果两端口的时钟偏移大于等于 t_{sc} ,那么在读字线脉冲到达之前存储单元就已经完成翻转;如果时钟偏移小于 t_{sc} (即图中读端口字线脉冲左移),那么读字线脉冲将先于写字线脉冲无效,这类似于图2中负时钟偏移的情形,不会造成明显的写干扰,事实上写干扰还会更弱,因为写端口已提前使存储节点达到了一个更接近目的状态的“水平”。

对于所研究的双端口SRAM,其在SS 0.801 V -40°C 设计角时的时钟周期为1.4 ns,所以在此设

计角时根据图 2 可取 t_{sc} 为 200 ps; 另外, 将写字线的脉宽增加 200 ps 并不会增加时钟周期, 因为此时时钟周期依然是由读取操作的时钟周期限制的。

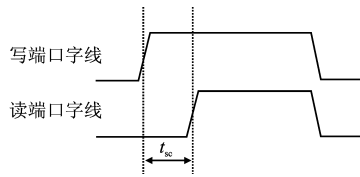


图 3 展宽写字线脉冲

3.2 写操作引起的写干扰

当两个端口对同一行进行写操作时, 它们互为写干扰, 具有相同的字线脉宽, 上述方法不再适用。此时, 如果两端口的时钟偏移小于 t_{sc} , 延迟后到达端口的字线脉冲将大大减弱这种写干扰; 若时钟偏移大于 t_{sc} , 则不必进行任何操作。

图 4 中的时钟沿检测电路可以实现这样的功能: 如果一个端口的时钟在另一个端口时钟到达后的 t_{sc} 时间内到达, 那么该端口的延时使能信号有效, 从而

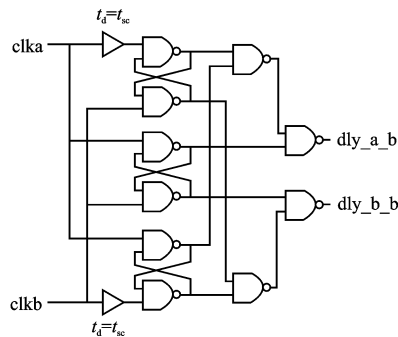


图 4 用于延后写字线脉冲的时钟沿检测电路

延后该端口的字线脉冲。值得注意的是, 虽然图中缓冲器的延时等于 t_{sc} , 但是延时使能信号的延时只有三个与非门的延时。

3.3 电路实现

根据上述方法设计了图 5 中的字线脉冲控制信号产生电路, 该电路分为读写检测、行地址比较和时钟沿检测三部分。如果发生同行存取并且某端口进行写操作, 那么该端口的字线脉冲展宽信号 (extend_*) 有效; 如果发生同行存取、两个端口都进行写操作并且两端口时钟偏移在 t_{sc} 之内, 那么时钟后到达端口的字线脉冲延后信号 (delay_*) 有效。根据展宽和延后信号分别对字线的下降沿和上升沿进行相应的延时即可, 不再赘述。

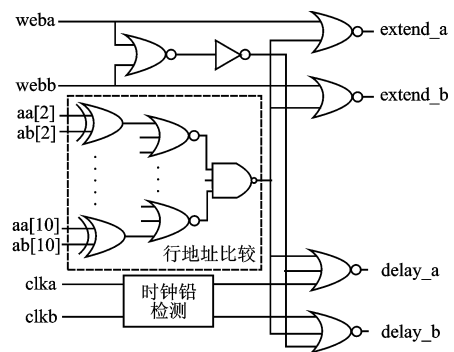


图 5 字线脉冲控制信号产生电路

4 仿真验证

逻辑电路和 SRAM 单元均采用台积电 TSN28HPM 工艺库构建, 抽取了 RC 参数进行后端仿真, 结果如图 6 所示。

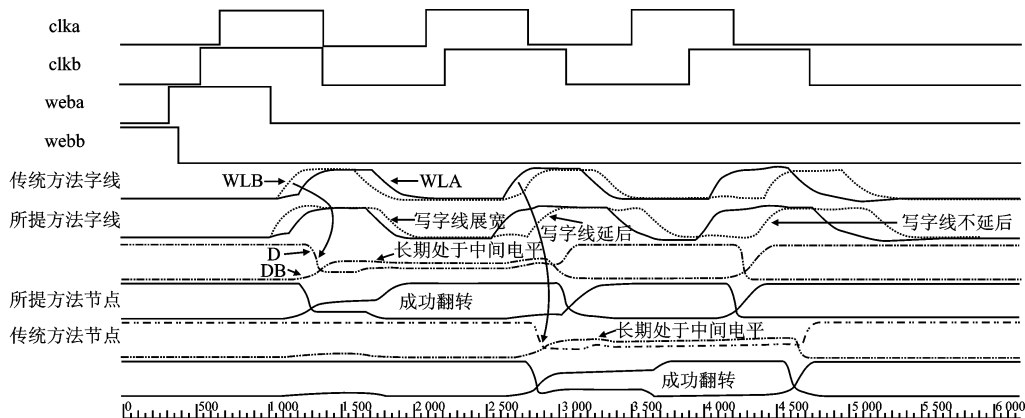


图 6 后端仿真波形

第一个时钟周期验证了读操作引起写干扰时所提方法的有效性: A 端口的读取操作使 B 端口遭受

了写干扰, 并且此时时钟偏移为 130 ps (从图 2 可知此时写干扰最严重), 在不对写字线脉冲展宽时, 存

储节点D、DB长期处中间电平,用所提方法将写字线展宽 t_{sc} 后,存储节点成功翻转;第二个时钟周期两个端口都进行写操作且时钟偏移为130 ps,对比两种方法的字线可知,后到达端口(B端口)的字线被延后,从而给先到达端口充分的写入时间,传统方法存储节点长期处于中间电平,而所提方法使存储节点在下一周期之前成功翻转;第三个周期两个端口都进行写操作,但时钟偏移大于 t_{sc} ,所以写字线未被延后,而此时两种方法都可将存储节点顺利翻转。

5 结束语

本文基于TSN28HPM工艺研究了双端口SRAM中的写干扰问题,利用写干扰的时钟偏移相关性,提出了一种写字线脉冲控制方法,经验证该方法可有效地解决写干扰,但额外的控制电路使时钟周期增加了约3%。该方法不适用于同步电路,故当两个端口的时钟充分接近时还需要对电路做进一步的改进。

参考文献:

- [1] Stolberg H-J, Moch S, Friebe L, et al. An SoC with two multimedia DSPs and a RISC core for video compression applications[C]// Digest of Technical Papers of Solid-State Circuits Conference ISSCC. [s. l.]: IEEE, 2004: 330-331.
 - [2] 陈亮,陈志良. 一种显示控制与驱动芯片中的高速双端口SRAM设计[J]. 微电子学与计算机, 2007, 24(1): 98-101
 - [3] Ishii Y, Fujiwara H, Tanaka S, et al. A 28 nm Dual-Port SRAM macro with screening circuitry against write-read disturb failure issues[J]. Journal of Solid-State Circuits, 2011(46): 2535-2544.
 - [4] Ishii Y, Fujiwara H, Nii K, et al. A 28-nm Dual-Port SRAM macro with active bitline equalizing circuitry against write disturb issue[C]// Symposium on VLSI Circuits, Austin, TX, US: IEEE, 2010: 99-100.
 - [5] Lien N-C, Chuang C-T, Wu W-R. Method for resolving simultaneous same-row access in dual-port 8T SRAM with asynchronous dual-clock operation[C]// International SoC Conference. [s. l.]: IEEE, 2013: 105-109.
- 作者简介:**
 杨琼华 男, (1989-), 硕士研究生. 研究方向为嵌入式SRAM. E-mail: yangqionghuasmaibbox@126.com.
 蒋江 男, (1973-), 副教授, 博士生导师. 研究方向为系统级芯片设计、多核/众核微体系结构、高性能加速器体系结构.
-
- (上接第89页)
- [10] 胡玉松,冯全源,陈晓培. 一款600V VDMOS终端结构的设计[J]. 微电子学与计算机, 2014, 31(6): 129-132.
 - [11] B. Jayant Baliga. 功率半导体器件基础[M]. 北京: 电子工业出版社, 2013: 70-71.
 - [12] Jin He, Xing Zhang. A semi-theoretical relationship between the breakdown voltage of field plate edge and field plate design in planar P - N junction terminated with finite field plate[J]. Microelectronics Journal, 2001(32): 763-767.
- 作者简介:**
 干红林 女, (1989-), 硕士研究生. 研究方向为功率半导体器件.
 冯全源 男, (1963-), 博士, 教授, 博士生导师. 研究方向为数字、模拟和射频集成电路设计、功率半导体器件.
 王丹 男, (1960-), 博士, 副教授, 研究生导师. 研究方向为大可编程集成电路应用、电子电路、集成电路设计.